

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 3 月 25 日 (25.03.2004)

PCT

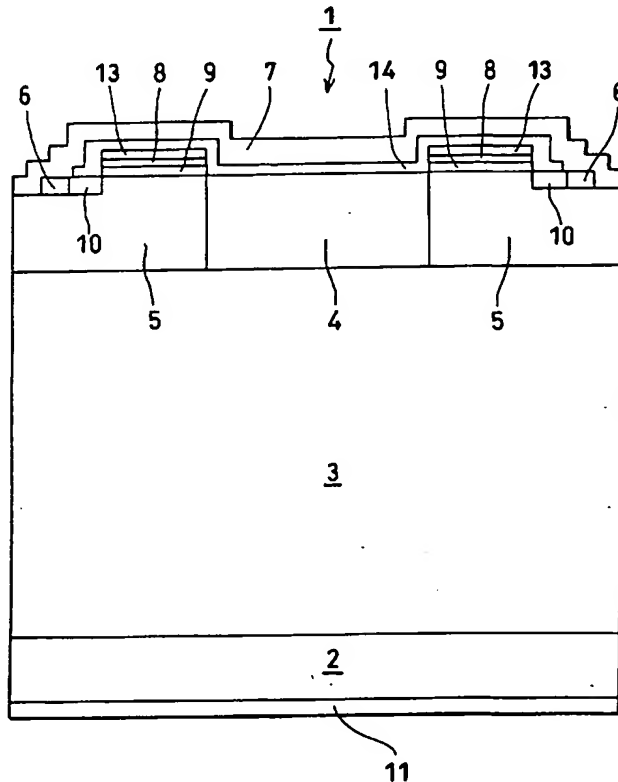
(10) 国際公開番号
WO 2004/025735 A1

- (51) 国際特許分類⁷: H01L 29/78, 21/28 TECHNOLOGY) [JP/JP]; 〒100-8921 東京都千代田区霞が関一丁目3番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/009872
- (22) 国際出願日: 2003 年 8 月 4 日 (04.08.2003) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 福田 憲司 (FUKUDA, Kenji) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 八尾 勉 (YATSUO, Tsutomu) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 原田 信介 (HARADA, Shinsuke) [JP/JP]; 〒305-8568 茨城県つくば市梅園1-1-1 中央第2 独立行政法人産業技術総合研究所内 Ibaraki (JP). 鈴木 誠二 (SUZUKI, Seiji) [JP/JP]; 〒570-8677 大阪府守
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-227254 2002 年 8 月 5 日 (05.08.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 独立行政法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device (1) comprising an N-type silicon carbide layer (3) of a low impurity concentration formed on an N-type silicon carbide substrate (2) of a high impurity concentration, a first N-type silicon carbide region (4) of a first impurity concentration formed on the surface of the N-type silicon carbide layer, first P-type silicon carbide regions (5) arranged adjacently to the sides of the first N-type silicon carbide region, a second N-type silicon carbide region (6) selectively formed in the first P-type silicon carbide region including the surface a polycrystalline silicon (7) short-circuiting the first P-type silicon carbide region (5) and the second N-type silicon carbide region (6), a gate electrode (8) and a third N-type silicon carbide region (10); wherein those parts form a vertical DMOS structure. Since the first P-type silicon carbide region and the second N-type silicon carbide region are short-circuited by the polycrystalline silicon, the threshold voltage is fixed to a certain value, and thus the semiconductor device can be used as a practical MISFET.

(57) 要約: 高不純物濃度のN型炭化珪素基板(2)の上に設けた低不純物濃度のN型炭化珪素層(3)と、そのN型炭化珪素層の表面上に設けた第1の不純物濃度の第1N型炭化珪素領域(4)

[続葉有]



口市 京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
Osaka (JP).

- (74) 代理人: 福田 賢三, 外(FUKUDA, Kenzo et al.); 〒
105-0003 東京都 港区 西新橋一丁目 6 番 1 3 号 柏屋
ビル Tokyo (JP).

- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU,
LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM,
PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ,
TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA,
ZM, ZW.

- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,

AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),
OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- すべての指定国のための出願し及び特許を与えられ
る出願人の資格に関する申立て (規則4.17(ii))

添付公開書類:

- 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

と、その両サイドに隣接して設けた第1P型炭化珪素領域(5)と、上記第1P型炭化珪素領域の表面から内部にわたって
選択的に設けた第2N型炭化珪素領域(6)と、上記第1P型炭化珪素領域(5)と第2N型炭化珪素領域(6)とを短絡する多結
晶シリコン(7)と、ゲート電極(8)と、第3N型炭化珪素領域(10)と、を備え、これらの各々が縦型DMOS構造に構成さ
れている半導体装置(1)であって、多結晶シリコンで第1P型炭化珪素領域と第2N型炭化珪素領域を短絡するよう
にしたので、閾値電圧が一定値となり、実際のMISFETとして使用することが可能となる。

明 細 書

半導体装置

技術分野

この発明は、半導体材料として炭化珪素を用いた、縦型DMOS構造と呼ばれる金属-絶縁膜-半導体電界効果型トランジスタ(MISFET)を含む半導体
5 装置に関する。

背景技術

炭化珪素(SiC)は、バンドギャップが広く、また最大絶縁破壊電界がシリ
コン(Si)と比較して約一桁大きいことから、電力用半導体素子への応用が期
10 待されている材料である。その中で、縦型DMOS構造等のMISFETは、通
電状態の抵抗(オン抵抗)値が理論的にSiMOSFETよりも約2桁下がると
予想されており、Siパワーデバイスの性能を凌ぐ超低損失・高速パワーデバイ
スとして期待されている。

しかしながらSiCを用いたMISFETでは、ゲート絶縁膜とSiCとの界
15 面の品質が低く、チャネル移動度が極めて小さいことが知られている。例えば、
J. A. Cooper等(Mat. Res. Soc. Proc., vol. 57
2, p. 3-14)らは、縦型DMOS構造MISFETのオン抵抗を低減する
ためにP型不純物の活性化アニール温度低減を試みているが、チャネル移動度は
20-25 cm²/Vs程度までしか改善されていない。このためチャネル抵抗が
20 高く、MISFETのオン抵抗を低減することができていない。

実効的にチャネル抵抗を下げる手段のひとつとして、チャネル長を短く設定する
ことが有効であるが、その場合パンチスルー現象が顕著となり、MISFETの
逆方向耐圧は劣化してしまう。すなわち、パワーMISFETのオン抵抗と逆方
向耐圧はトレードオフの関係にあるが、これらを望ましい特性で両立させるため
25 のデバイス構造などの工夫が望まれている。

M. A. Capano等(Journal of applied phys

ics, vol. 87, (2000), p. 8773-8777) の第2図において、またR. Kumar等 (Japanese journal of applied physics, vol. 39 (2000), p. 2001-2007) の第1図において、縦型DMOS構造のMISFETが示されているが、
5 上記したM. A. Capano等やR. Kumar等の文献では、高耐圧化に対する構造上の工夫や低オン抵抗化に対する埋め込みチャネル構造、また、Pウエルとソース領域とのコンタクト方法などは記載されていない。

上述したように、炭化珪素基板を用いた実際の縦型DMOS構造のMISFETでは、チャネル移動度が低いことと、理想的な耐圧が得られにくいことによって、SiCの物性値を活かした高耐圧特性と同時に低オン抵抗を有する素子が実現できていない。
10

この発明は上記に鑑み提案されたもので、炭化珪素基板を用いた縦型DMOS構造MISFETにおいて、そのソース構造や耐圧構造等の最適化、また炭化珪素基板の面方位の最適化により、優れた逆方向耐圧特性とオン抵抗の低減を可能とした半導体装置を提供することを目的とする。
15

発明の開示

この発明に依る半導体装置は、高不純物濃度のN型炭化珪素基板の上に設けた低不純物濃度のN型炭化珪素層と、上記低不純物濃度のN型炭化珪素層の表面上
20 に設けた第1の不純物濃度の第1N型炭化珪素領域と、その両サイドに隣接して設けた第1P型炭化珪素領域と、上記第1N型炭化珪素領域とは離れた位置に、上記第1P型炭化珪素領域の表面から内部にわたって選択的に設けた第2の不純物濃度の第2N型炭化珪素領域と、上記第1P型炭化珪素領域と第2N型炭化珪素領域とを短絡する、金属または不純物が注入された多結晶シリコンと、上記第
25 1P型炭化珪素領域の表面部分にゲート絶縁膜を介して設けたゲート電極と、上記第1N型炭化珪素領域と上記ゲート電極の下方の第1P型炭化珪素領域との間、あるいは上記第2N型炭化珪素領域とゲート電極の下方の第1P型炭化珪素領域との間の少なくとも一方に、第1P型炭化珪素領域の表面から内部にわたって選択的に設けた第3の不純物濃度の第3N型炭化珪素領域と、を備え、これらの各

部が縦型DMOS構造に構成されていることから成る。

また、この発明の半導体装置は、上記第1 P型炭化珪素領域の下部領域を、当該第1 P型炭化珪素領域よりも高不純物濃度の第2 P型炭化珪素領域として形成したものを含む。

- 5 また、この発明の半導体装置は、上記ゲート電極の下方の第1 P型炭化珪素領域の表面から内部にわたって選択的に、埋め込みチャネル領域とするのに十分な不純物濃度を有するN型炭化珪素領域を形成し、この埋め込みチャネル領域の層厚を、第2 N型炭化珪素領域の層厚の0.2倍～1.0倍とすることを含む。

- 10 さらに、この発明の半導体装置において、上記埋め込みチャネル領域は、不純物濃度が 5×10^{15} 個 cm^{-3} ～ 1×10^{17} 個 cm^{-3} であることを含む。

さらにまた、この発明の半導体装置において、上記ゲート電極は、アルミニウム、アルミニウムを含む合金、あるいはモリブデンからなることを含む。

上記ゲート電極は、濃度が 1×10^{16} 個 cm^{-3} ～ 1×10^{21} 個 cm^{-3} のボロンが注入されたP型多結晶シリコンであることを含む。

- 15 また、上記ゲート電極は、濃度が 1×10^{16} 個 cm^{-3} ～ 1×10^{21} 個 cm^{-3} の燐あるいは砒素が注入されたN型多結晶シリコンであることを含む。

この発明の半導体装置は、上記ゲート電極の上にタングステン、モリブデン、チタンの何れかとシリコンとからなるシリサイド膜が積層されていることを含む。

- 20 さらに、この発明の半導体装置において、上記低不純物濃度のN型炭化珪素層は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板の(11-20)面の上か、または、N型基板の(000-1)面の上に形成されていることを含む。

- 25 この発明に依る半導体装置は、上記の如き構成とすることにより、チャネル移動度が向上し、閾値電圧が一定値となり、また、理想的な耐圧を得ることができ、実用的に使用することの出来るMISFETを提供することが可能となった。

図面の簡単な説明

第1図は、この発明の半導体装置の第1実施例に、おける断面を模式的に示す図である。

第2図は、この発明の半導体装置の第2実施例における断面を模式的に示す図である。

第3図は、この発明の半導体装置の第3実施例における断面を模式的に示す図である。

5 第4図は、この発明の半導体装置の第4実施例における断面を模式的に示す図である。

第5図は、実施例4の試料のチャネル移動度の $L_{bc} \div X_j$ (L_{bc} / X_j)依存性を示す図である。

10 第6図は、実施例4の試料の埋め込みチャネル領域の不純物濃度とチャネル移動度との関係を示す図である。

第7図は、実施例4の試料のゲート電極の不純物濃度と閾値電圧の関係を示す図である。

発明を実施するための最良の形態

15 第1図はこの発明の半導体装置の第1実施例の断面を模式的に示す図である。第1図において、半導体装置1は、炭化珪素基板を用いた縦型DMOS構造の金属—絶縁膜—半導体電界効果型トランジスタ(MISFET)であり、高不純物濃度のN型炭化珪素基板2と、その上に設けた低不純物濃度のN型炭化珪素層3との上に各部が積層されて構成されている。

20 すなわち、N型炭化珪素層3の表面上には、中央に第1の従順物濃度の第1N型炭化珪素領域(N-層)4が形成されるとともに、その第1N型炭化珪素領域4の両サイドに隣接して第1P型炭化珪素領域(P型(P-)ウエル)5、5が形成されている。

また、第1P型炭化珪素領域5、5には、第1N型炭化珪素領域4から離れた位置に、その第1P型炭化珪素領域5、5の表面から内部にわたって選択的に第2の不純物濃度の第2N型炭化珪素領域(N+ソース)6、6が形成されている。また、アルミニウム、銅あるいは、これらの合金からなる金属配線7が、第1P型炭化珪素領域5と第2N型炭化珪素領域6とを短絡するように設けられている。

さらに、ゲート電極8、8が、第1P型炭化珪素領域5、5の表面の一部にゲ

ート絶縁膜（ゲート酸化膜）9、9を介して設けられている。また、N型炭化珪素基板2の裏側にドレイン電極11が形成されている。

そして、第2N型炭化珪素領域（N＋ソース）6、6と、ゲート電極8、8の下方の第1P型炭化珪素領域（P－ウエル）5、5との間の第1P型炭化珪素領域5、5には、その表面から内部にわたって選択的に第3の不純物濃度の第3N型炭化珪素領域（N－領域）10、10が設けられ、上記の各部1～10は、縦型DMOS構造に構成されている。

上記構成の半導体装置1において、第1P型炭化珪素領域（P－ウエル）5と第2N型炭化珪素領域（N＋ソース）6とを短絡していない場合は、その第1P型炭化珪素領域5と第2N型炭化珪素領域6とが電氣的に浮いた状態なので、閾値電圧が一定値とならず、実際のMISFETとして使用できないが、この発明では、第1P型炭化珪素領域（P－ウエル）5と第2N型炭化珪素領域（N＋ソース）6とを金属配線7で短絡したので、閾値電圧が一定値になり、実際のMISFETとして使用することが可能になった。なお、上記の閾値電圧とは、MISFETが通電状態に達するときのゲート電圧をいう。

また、この発明では、第2N型炭化珪素領域（N＋ソース）6と、ゲート電極8の下方の第1P型炭化珪素領域（P－ウエル）5との間の第1P型炭化珪素領域（P－ウエル）5に、第3N型炭化珪素領域（N－領域）10を設け、ゲート電極8と第1P型炭化珪素領域5との間に第3N型炭化珪素領域10を介在させるようにしたので、第3N型炭化珪素領域10でゲート電極（ゲートチャネル領域）8にかかる電界が緩和されて、ゲート部分における電界による降伏を防止することができ、したがって、ドレイン電極11と第2N型炭化珪素領域（N＋ソース）6との間の耐圧を向上させることができた。また、ホットキャリア寿命が長くなりその効果が確認された。

ここで、ホットキャリア寿命について説明する。電子がソースからドレインへ流れるときに、高エネルギー状態になって半導体から酸化膜へ注入される現象をホットキャリア現象と呼ぶ。ホットキャリア現象が起こると、酸化膜に電荷が蓄積されるので、閾値電圧が変動する。通常、使用する電圧が印加された状態で、閾値電圧の変動量を測定して、初期値の10%変動するまでの時間をホットキャ

リア寿命と定義する。この実施例では、第3 N型炭化珪素領域10が低不純物濃度なので、電界が緩和され、電子が高エネルギー状態になりにくくなるために、ホットキャリア現象が抑制され、ホットキャリア寿命が延びる。

第2図はこの発明の半導体装置の第2実施例の断面を模式的に示す図である。

- 5 第2図において、上記第1実施例と同一の構成要素には同一の符号を付して、その説明を省略する。この第2実施例における半導体装置1aが、上記した第1実施例と相違する箇所は、第3 N型炭化珪素領域（N-領域）10の他に、さらに第3 N型炭化珪素領域（N-領域）10aを形成するようにした点である。すなわち、第1 N型炭化珪素領域（N-層）4と、ゲート電極8の下方の第1 P型炭化珪素領域5との間に、第1 P型炭化珪素領域5の表面から内部にわたって選択的に第3の不純物濃度の第3 N型炭化珪素領域10aを形成した。
- 10

- このように、第2実施例では、ゲート電極8と第1 P型炭化珪素領域5との間、またゲート電極8と第1 N型炭化珪素領域4との間に、それぞれN-領域10、10aを介在させるようにしたので、第1実施例の半導体装置1に比べてより一層、ゲート部分における電界による降伏を防止することができ、したがって、ドレイン電極11と第2 N型炭化珪素領域（N+ソース）6との間の耐圧をより一層向上させることができた。また2つのゲート電極（セル）8、8間におけるゲートチャネル領域の抵抗がより均一になり、局所的な電流集中の発生が防止され、全体としてのオン抵抗の低減が可能になった。
- 15

- 20 なお、上記の説明では、第3 N型炭化珪素領域（N-領域）10と10aの双方を設けるようにしたが、第3 N型炭化珪素領域（N-領域）10aのみを設けるように構成してもよい。この構成の下でも、ドレイン電極11と第2 N型炭化珪素領域（N+ソース）6との間の耐圧を向上させることができる等の効果を発揮させることができる。

- 25 第3図はこの発明の半導体装置の第3実施例の断面を模式的に示す図である。第3図において、上記第1、第2実施例と同一の構成要素には同一の符号を付して、その説明を省略する。この第3実施例における半導体装置1bが、上記した第2実施例と相違する点は、第1 P型炭化珪素領域5の下部領域を、当該第1 P型炭化珪素領域5よりも高濃度の第2 P型炭化珪素領域5aとして形成した点で

ある。このように、第3実施例では、第1 P型炭化珪素領域5の下部領域を高不純物濃度にしたので、より一層耐圧性を向上させることができた。

すなわち、第2 P型炭化珪素領域5 aからの空乏層を短くすることにより、ソース領域6からの空乏層と接続しにくくなるので、高電圧が印加されてもソース領域6とN型炭化珪素層3の間が高電界になることが抑制され、その結果耐圧性を向上させることができた。

第4図はこの発明の半導体装置の第4実施例の断面を模式的に示す図である。第4図において、上記第1、第2、第3実施例と同一の構成要素には同一の符号を付して、その説明を省略する。この第4実施例における半導体装置1 cが、上記した第3実施例と相違する点は、ゲート電極8の下方の第1 P型炭化珪素領域5の表面から内部にわたって選択的に、十分な不純物濃度を有するN型炭化珪素領域としての埋め込みチャネル領域12を形成した点である。この埋め込みチャネル領域12を設けたことで、この第4実施例では、チャネル移動度が向上し、オン抵抗値を下げることができた。

次に、上記した第4実施例での半導体装置1 cの製造プロセスを概略的に説明する。この発明では、上記の高不純物濃度のN型炭化珪素基板2として、六方晶炭化珪素あるいは菱面体晶炭化珪素を採用し、この六方晶炭化珪素あるいは菱面体晶炭化珪素の(11-20)面上に、低不純物濃度のN型炭化珪素層3を形成した。

次に、そのN型炭化珪素層3上に、第1の不純物濃度を有し炭化珪素からなる第1 N型炭化珪素領域(N-層)4を化学気相法でエピタキシャル成長させた。続いてこの段階の炭化珪素からなる基板を通常のRCA洗浄をした後に、リソグラフィ用のアライメントマークをRIE(Reactive ion etching)で形成した。

そして、イオン注入用のマスクにLTO(Low temperature oxide)膜を用いた。このLTO膜は、シランと酸素を400℃~800℃で反応させて二酸化珪素を炭化珪素基板上に堆積することにより形成した。次いで、リソグラフィでイオン注入する領域を形成した後に、HF(フッ酸)でLTO膜をエッチングしイオン注入される領域を開口した。次いで、第1 N型炭化

珪素領域（N層）4に、アルミニウムあるいはボロンをイオン注入することにより、第1 N型炭化珪素領域（N層）4の両サイドに隣接して第1 P型炭化珪素領域（P型（P-）ウエル）5、5を形成した。

さらに、高耐圧化のために、イオン注入により、第1 P型炭化珪素領域5より
5 も高不純物濃度の第2 P型炭化珪素領域（P+領域）5 aを第1 P型炭化珪素領域5の下部領域に形成した。また、その第2 P型炭化珪素領域5 aを 10^{18} 個 cm^{-3} ~ 10^{19} 個 cm^{-3} のアルミニウムあるいはボロンを注入して形成することで、確実に耐圧性を向上させることができることが分かった。

さらに、ゲート電極8の下方の第1 P型炭化珪素領域5の表面から内部にわた
10 って選択的に、十分な不純物濃度を有するN型炭化珪素領域としての埋め込みチャンネル領域12を形成した。この埋め込みチャンネル領域12の形成は、深さ（ L_{bc} ）=0.3 μm において、 1×10^{15} 個 cm^{-3} ~ 5×10^{17} 個 cm^{-3} のイオン注入で行った。

次に、その第1 P型炭化珪素領域5、5の表面から内部にわたって、第1 N型
15 炭化珪素領域4とは離れた位置に選択的に第2の濃度の第2 N型炭化珪素領域（N+ソース）6、6を形成した。

さらに、第2 N型炭化珪素領域（N+ソース）6、6と、この後の工程で第1 P型炭化珪素領域5、5の表面上の一部に形成されることになるゲート電極8、8の下方の当該第1 P型炭化珪素領域5、5との間に、その第1 P型炭化珪素領域5、5の表面から内部にわたって選択的に、第3の濃度の第3 N型炭化珪素領域10、10をイオン注入で形成した。

その後、アルゴン雰囲気中において1500℃で活性化アニールを行った。次いで、1200℃で酸化して、約50 nmのゲート酸化膜9、9を形成した。続いて、アルゴン雰囲気中で30分間アニールした後に室温までアルゴン雰囲気
25 で冷却した。その後にゲート電極8、8を形成した。ゲート電極8、8は、P+ポリシリコンで形成した。P+ポリシリコンでゲート電極8、8を形成するための方法としては、1) CVD法で多結晶ポリシリコンを形成した後に、ボロンやフッ化ボロンをイオン注入することによりP型多結晶シリコンを形成する。2) CVD法で多結晶ポリシリコンを形成した後に、ボロンを含んだ SiO_2 膜をC

VD法やスパイン塗布により形成して、 $800^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ で熱処理し拡散することにより、ボロンを注入してP型多結晶シリコンを形成する。3) シランとジボランを一緒に流して 600°C で熱処理することにより多結晶シリコンにボロンを注入してP型多結晶シリコンを形成する、などがある。この実施例では、2)の方法を用いた。そして、エッチングすることによりゲート電極8、8の形成を完了した。

なお、上記の説明では、ゲート電極8をP+ポリシリコンで形成するようにしたが、このゲート電極8をN+ポリシリコン、アルミニウム、アルミニウム合金、あるいはモリブデンで形成してもよい。ゲート電極8をアルミニウム、アルミニウム合金、あるいはモリブデンで形成した場合のゲート酸化膜9との界面は、ゲート電極8にポリシリコンを用いた場合のゲート酸化膜9との界面よりも良好であり、チャネル移動度が高くなるという効果も確認することができた。

また、上記のゲート電極8、8のうち、N+あるいはP+ポリシリコン上に、 WSi_2 、 MoSi_2 、あるいは TiSi_2 の何れかからなるシリサイド膜13を有する素子を作製した。

引き続き、層間絶縁膜14をCVD法で堆積した後に、第2N型炭化珪素領域(N+ソース)6、6上および第1P型炭化珪素領域(P-ウエル)5、5上の層間絶縁膜14をエッチングして、コンタクト孔を開口した。次いで、ニッケル、チタン、アルミニウムあるいはこれらの合金からなる積層膜を蒸着あるいはスパッタ法で形成した後に、RIEあるいはウエットエッチングにより、コンタクトを形成し、さらに、その上にアルミニウムあるいは銅を含有した合金からなる金属配線7を形成し、第1P型炭化珪素領域5と第2N型炭化珪素領域6とを短絡させる。

この実施例では、アルミニウムとニッケルを蒸着し、ウエットエッチングしてコンタクトを形成した後に、その上にアルミニウムを蒸着し、ウエットエッチングして金属配線7を形成した。

次いで、N型炭化珪素基板2の裏側に、金属を蒸着法あるいはスパッタ法で必要な厚さ付けることで、ドレイン電極11を形成した。この実施例では、ニッケルをスパッタ法でつけた。また、必要に応じて、 1000°C のアルゴン中で5分

間の熱処理を行い、このようにして縦型DMOS構造MIS電界効果型トランジスタを完成させた。

上記第4実施例においては、各種特性を明確にするために、下記の試料を作成し、測定を行った。

- 5 まず、イオン注入により、第1P型炭化珪素領域5の下部領域に形成した高濃度の第2P型炭化珪素領域5aについて、その不純物濃度の上限、下限を検討した。その結果、第2P型炭化珪素領域(P+領域)5aの不純物濃度は、 1×10^{17} 個 cm^{-3} より低濃度では絶縁破壊を起こす電圧は、このP+領域5aがない場合と同じであり効果がなく、 1×10^{17} 個 cm^{-3} 以上で絶縁破壊が発生する電
10 圧が増加するので、不純物濃度の下限は 1×10^{17} 個 cm^{-3} である。一方、不純物濃度が 1×10^{19} 個 cm^{-3} 以上では、その後の活性化アニール時に不純物が拡散して、その上にある埋め込みチャネル12中のN型不純物を相殺してしまい、埋め込みチャネル12としての機能を果たさなくなるので、上限は、 1×10^{19} 個 cm^{-3} に制限される。

- 15 次に、埋め込みチャネル領域12の深さ L_{bc} と第2N型炭化珪素領域(N+ソース)6の深さ X_j との比(L_{bc}/X_j)と、チャネル移動度との関係を調べるために、深さ $L_{bc}=0.1, 0.2, 0.3, 0.4, 0.5, 1.0 \mu\text{m}$ の埋め込みチャネル領域12を形成した。

- 第5図は $X_j=0.5 \mu\text{m}$ でのチャネル移動度の $L_{bc} \div X_j$ (L_{bc}/X_j)依存性を示す。第5図において、チャネル移動度は埋め込みチャネル12を設けないときのチャネル移動度で規格化してあり、埋め込みチャネル領域12を設けないときは1となる。評価は、埋め込みチャネル領域12の深さ L_{bc} を0.1, 0.2, 0.3, 0.4, 0.5, 1.0 μm として行った。深さ L_{bc} が0.1 μm ($L_{bc}/X_j=0.2$)のときのチャネル移動度は4.3、深さ L_{bc} が0.2 μm ($L_{bc}/X_j=0.4$)のときのチャネル移動度は8.4であり、 L_{bc} が0.1 μm でも効果があることを確認した。一方、 L_{bc} が1.0 μm ($L_{bc}/X_j=2$)より大きくなるとチャネル移動度は大きいものの、閾値が負になり、ノーマリーオンになり実際に使うのは困難である。よって、埋め込みチャネル領域12の深さ L_{bc} は、下限が0.1 μm で上限が1.0 μm

に制限される。 Lbc/Xj では、0.2~2.0に相当するが、特に、0.2~1.0の範囲で有効である。

続いて、チャネル移動度に対する埋め込みチャネル12の濃度依存性を調べるために、深さ $Lbc=0.3\mu m$ において、 5×10^{15} 個 cm^{-3} ~ 5×10^{17} 個 cm^{-3} のイオン注入を施した試料を作製した。

第6図は埋め込みチャネル領域の不純物濃度とチャネル移動度との関係を示す図である。チャネル移動度は、第5図の場合と同様に、埋め込みチャネル12を設けないときのチャネル移動度で規格化しており、埋め込みチャネル領域12を設けないときは1となる。評価した下限値は 5×10^{15} 個 cm^{-3} であるが、この
10 値で十分に効果がでているので下限値は 5×10^{15} 個 cm^{-3} になる。一方、 5×10^{17} 個 cm^{-3} 以上で閾値電圧が負になり実際の使用が難しくなるので上限値は、 5×10^{17} 個 cm^{-3} となる。

また、この実施例では、上述したように、ゲート電極8を形成する際に、CVD法で多結晶ポリシリコンを形成した後に、ボロンを含んだ SiO_2 膜をCVD
15 法やスピン塗布により形成し、 $800^{\circ}C$ ~ $1100^{\circ}C$ で熱処理し拡散することにより、ボロンを注入してP型多結晶シリコン(P+ポリシリコン)からなるゲート電極としたが、このゲート電極8の不純物濃度と閾値電圧の関係を調べるために、 $900^{\circ}C$ で拡散時間を変えることにより不純物濃度を 1×10^{15} 個 cm^{-3} ~ 1×10^{21} 個 cm^{-3} と変化させ、その各試料の閾値電圧を測定した。

20 第7図はゲート電極の不純物濃度と閾値電圧の関係を示す図である。第7図において、ゲート電極8中の不純物濃度が高いほど、ゲート電極と半導体との仕事関数差が大きくなるので、閾値が大きくなっていることが分かる。反対に、不純物濃度が小さいほど、閾値電圧は小さくなり、 1×10^{16} 個 cm^{-3} でゼロになるので、不純物濃度の下限は 1×10^{16} 個 cm^{-3} である。一方、多結晶シリコンに
25 注入可能なボロンの濃度は、 1×10^{21} 個 cm^{-3} なので、上限は 1×10^{21} 個 cm^{-3} になる。

また、この第4実施例においては、ゲート電極8、8上に、 WSi_2 、 $MoSi_2$ 、あるいは $TiSi_2$ の何れかからなるシリサイド膜13も形成した。ボロンが高濃度に注入された多結晶シリコンからなるゲート電極8の抵抗値は、数 $m\Omega$

cmであるが、シリサイド膜13を形成する WSi_2 、 $MoSi_2$ 、あるいは $TiSi_2$ の比抵抗値は、各々 $60\mu\Omega\text{cm}$ 、 $50\mu\Omega\text{cm}$ 、 $15\mu\Omega\text{cm}$ であり、したがって、多結晶シリコンからなるゲート電極単体よりも、多結晶シリコンとシリサイドとの複合膜の方がゲート電極の抵抗値を下げることができ、この第4
5 実施例では、MIS電界効果型半導体装置の駆動力を向上することができた。

さらに、この第4実施例では、N型炭化珪素層3を、高不純物濃度の立方晶あるいは菱面体晶の炭化珪素層の(0001)面、(11-20)面、(000-1)面上に形成した。さらに、第3図に示すDMOS構造MISFETを、これらの面上に作製してオン抵抗値を測定した。耐圧は、1kVになるように設計し
10 た。MISFETのチャネル移動度は、(0001)面が、 $45\text{cm}^2/\text{Vs}$ 、(11-20)面が、 $201\text{cm}^2/\text{Vs}$ 、(000-1)面が、 $127\text{cm}^2/\text{Vs}$ であるが、絶縁破壊電界が、(11-20)面は、(0001)面や(000-1)面の70%程度なので、オン抵抗値は、(0001)面が、 $33\text{m}\Omega\text{cm}^2$ 、(11-20)面は、 $5\text{m}\Omega\text{cm}^2$ 、(000-1)面は、 $2\text{m}\Omega\text{cm}^2$
15 となり、(000-1)面が最も低かった。したがって、通常用いられている(0001)面と比較して、(11-20)面あるいは(000-1)面を用いることにより、低いオン抵抗値を有する、DMOS型MISFETを提供できる。

産業上の利用可能性

20 この発明に依る半導体装置では、金属または不純物が注入された多結晶シリコンで第1P型炭化珪素領域と第2N型炭化珪素領域とを短絡するようにしたので、閾値電圧が一定値になり、実際のMISFETとして使用することが可能になった。

また、この発明の半導体装置では、第3N型炭化珪素領域を、第1N型炭化珪素領域とゲート電極の下方の第1P型炭化珪素領域との間、あるいは第2N型炭化珪素領域とゲート電極の下方の第1P型炭化珪素領域との間の少なくとも一方に、第1P型炭化珪素領域の表面から内部にわたって選択的に設けたので、第3
25 N型炭化珪素領域でゲート部分における電界による降伏を防止することができ、したがって、ドレイン電極と第2N型炭化珪素領域(N+ソース)との間の耐圧

を向上させることができる。また、ホットキャリア寿命を長くすることができる。

また、上記第1 P型炭化珪素領域は、その下部領域を当該第1 P型炭化珪素領域よりも高濃度の第2 P型炭化珪素領域として形成したので、耐圧性をより一層向上させることができる。

- 5 また、上記ゲート電極の下方の第1 P型炭化珪素領域の表面から内部にわたって選択的に、埋め込みチャンネル領域を設けるようにしたので、チャンネル移動度が向上し、オン抵抗値を下げることができる。

さらに、上記埋め込みチャンネル領域の不純物濃度を 5×10^{15} 個 cm^{-3} ~ 1×10^{17} 個 cm^{-3} としたので、チャンネル移動度を確実に数倍に向上させることができる。
10 ける。

また、上記ゲート電極は、アルミニウム、アルミニウムを含む合金、あるいはモリブデンで形成したので、ゲート酸化膜との界面が良好となり、チャンネル移動度も向上させることができる。

- さらに、上記ゲート電極を、濃度が 1×10^{16} 個 cm^{-3} ~ 1×10^{21} 個 cm^{-3} の
15 ボロンが注入されたP型多結晶シリコン、で形成したので、ゲート電極中の不純物濃度に応じて変化する閾値電圧を適正に保持することができる。

- さらに、上記ゲート電極を濃度が 1×10^{16} 個 cm^{-3} ~ 1×10^{21} 個 cm^{-3} の
20 燐或いは砒素が注入されたN型多結晶シリコンで形成したので、ゲート電極形成後も1,000℃以上の高温熱処理を行うことができるようになり、MIS電界効果型半導体装置の特性を向上することができた。

また、上記ゲート電極の上にタングステン、モリブデン、チタンの何れかとシリコンとからなるシリサイド膜を積層するように構成したので、多結晶シリコンからなるゲート電極単体よりも、ゲート電極の抵抗値を下げることができ、MIS電界効果型半導体装置の駆動力を向上することができる。

- 25 また、上記低不純物濃度のN型炭化珪素層を、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板の(000-1)面及び、(11-20)面の上に形成するようにしたので、チャンネル移動度が向上し、オン抵抗値を下げることができる。

請 求 の 範 囲

1. 高不純物濃度のN型炭化珪素基板（2）の上に設けた低不純物濃度のN型炭化珪素層（3）と、

- 5 上記低不純物濃度のN型炭化珪素層の表面上に、設けた第1の不純物濃度の第1N型炭化珪素領域（4）とその両サイドに隣接して設けた第1P型炭化珪素領域（5）と、

上記第1N型炭化珪素領域とは離れた位置で、上記第1P型炭化珪素領域の表面から内部にわたって選択的に設けた第2の不純物濃度の第2N型炭化珪素領域

- 10 （6）と、

上記第1P型炭化珪素領域と第2N型炭化珪素領域とを短絡する、金属または不純物が注入された多結晶シリコンと（7）、

上記第1P型炭化珪素領域の表面部分にゲート絶縁膜（9）を介して設けたゲート電極（8）と、

- 15 上記第1N型炭化珪素領域と上記ゲート電極の下方の第1P型炭化珪素領域との間、あるいは上記第2N型炭化珪素領域とゲート電極の下方の第1P型炭化珪素領域との間の少なくとも一方に、第1P型炭化珪素領域の表面から内部にわたって選択的に設けた第3の不純物濃度の第3N型炭化珪素領域（10）と、

を備え、これらの各部が縦型DMOS構造に構成されていることを特徴とする
20 半導体装置。

2. 上記第1P型炭化珪素領域（5）の下部領域を、当該第1P型炭化珪素領域よりも高不純物濃度の第2P型炭化珪素領域（5a）として形成したことを特徴とする、請求の範囲第1項に記載の半導体装置。

3. 上記ゲート電極（8）の下方の第1P型炭化珪素領域の表面から内部
25 にわたって選択的に、埋め込みチャネル領域とするのに十分な不純物濃度を有するN型炭化珪素領域（10a）を形成し、この埋め込みチャネル領域の層厚を、第2N型炭化珪素領域の層厚の0.2倍～1.0倍とすることを特徴とする請求の範囲第1項記載の半導体装置。

4. 上記ゲート電極（8）の下方の第1P型炭化珪素領域の表面から内部

にわたって選択的に、埋め込みチャネル領域とするのに十分な不純物濃度を有するN型炭化珪素領域（10a）を形成し、この埋め込みチャネル領域の層厚を、第2N型炭化珪素領域の層厚の0.2倍～1.0倍とすることを特徴とする請求の範囲第2項記載の半導体装置。

5 5. 上記埋め込みチャネル領域は、不純物濃度が 5×10^{15} 個 cm^{-3} ～ 1×10^{17} 個 cm^{-3} であることを特徴とする請求の範囲第3項または第4項記載の半導体装置。

6. 上記ゲート電極（8）は、アルミニウム、アルミニウムを含む合金、あるいはモリブデンからなることを特徴とする請求の範囲第1項から第4項の何れか
10 1項記載の半導体装置。

7. 上記ゲート電極（8）は、濃度が 1×10^{16} 個 cm^{-3} ～ 1×10^{21} 個 cm^{-3} のボロンが注入されたP型多結晶シリコンであることを特徴とする請求の範囲第1項から第4項の何れか1項記載の半導体装置。

8. 上記ゲート電極（8）は、濃度が 1×10^{16} 個 cm^{-3} ～ 1×10^{21} 個 cm^{-3}
15 の磷あるいは砒素が注入されたN型多結晶シリコンであることを特徴とする請求の範囲第1項から第4項の何れか1項記載の半導体装置。

9. 上記ゲート電極（8）の上にタングステン、モリブデン、チタンの何れかとシリコンとからなるシリサイド膜（13）が積層されていることを特徴とする請求の範囲第1項から第4項の何れか1項記載の半導体装置。

20 10. 上記低不純物濃度のN型炭化珪素層（3）は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板（2）の（11-20）面の上に形成されていることを特徴とする請求の範囲第1項から第4項の何れか1項記載の半導体装置。

11. 上記低不純物濃度のN型炭化珪素層（3）は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板（2）の（11-20）面の上に形成されていることを特徴とする請求の範囲第5項記載の半導体装置。

12. 上記低不純物濃度のN型炭化珪素層（3）は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板（2）の（11-20）面の上に形成されていることを特徴とする請求の範囲第6項記載の半導体装置。

13. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(11-20)面の上に形成されていることを特徴とする請求の範囲第7項記載の半導体装置。

14. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(11-20)面の上に形成されていることを特徴とする請求の範囲第8項記載の半導体装置。

15. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(11-20)面の上に形成されていることを特徴とする請求の範囲第9項記載の半導体装置。

16. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(000-1)面の上に形成されていることを特徴とする請求の範囲第1項から第4項の何れか1項記載の半導体装置。

17. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(000-1)面の上に形成されていることを特徴とする請求の範囲第5項記載の半導体装置。

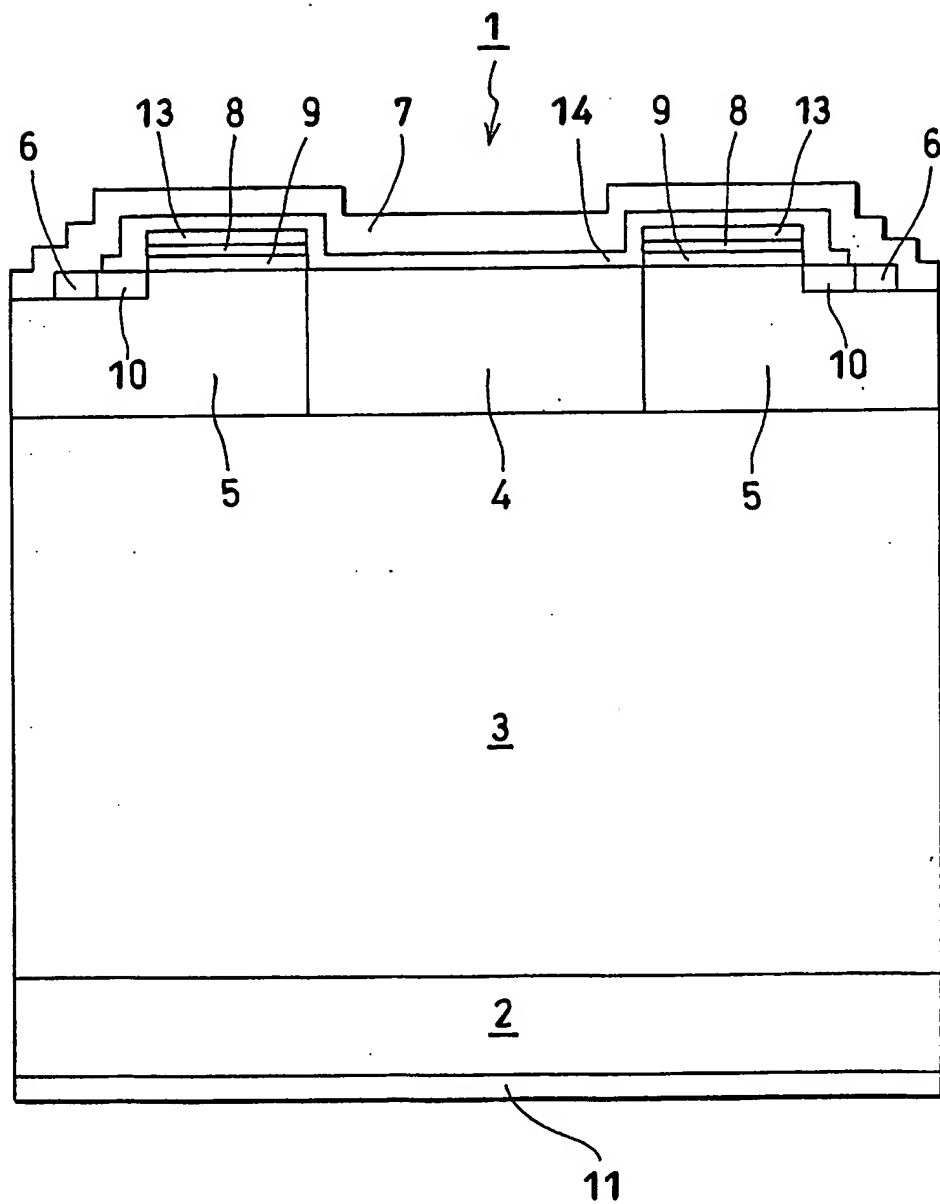
18. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(000-1)面の上に形成されていることを特徴とする請求の範囲第6項記載の半導体装置。

19. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(000-1)面の上に形成されていることを特徴とする請求の範囲第7項記載の半導体装置。

20. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(000-1)面の上に形成されていることを特徴とする請求の範囲第8項記載の半導体装置。

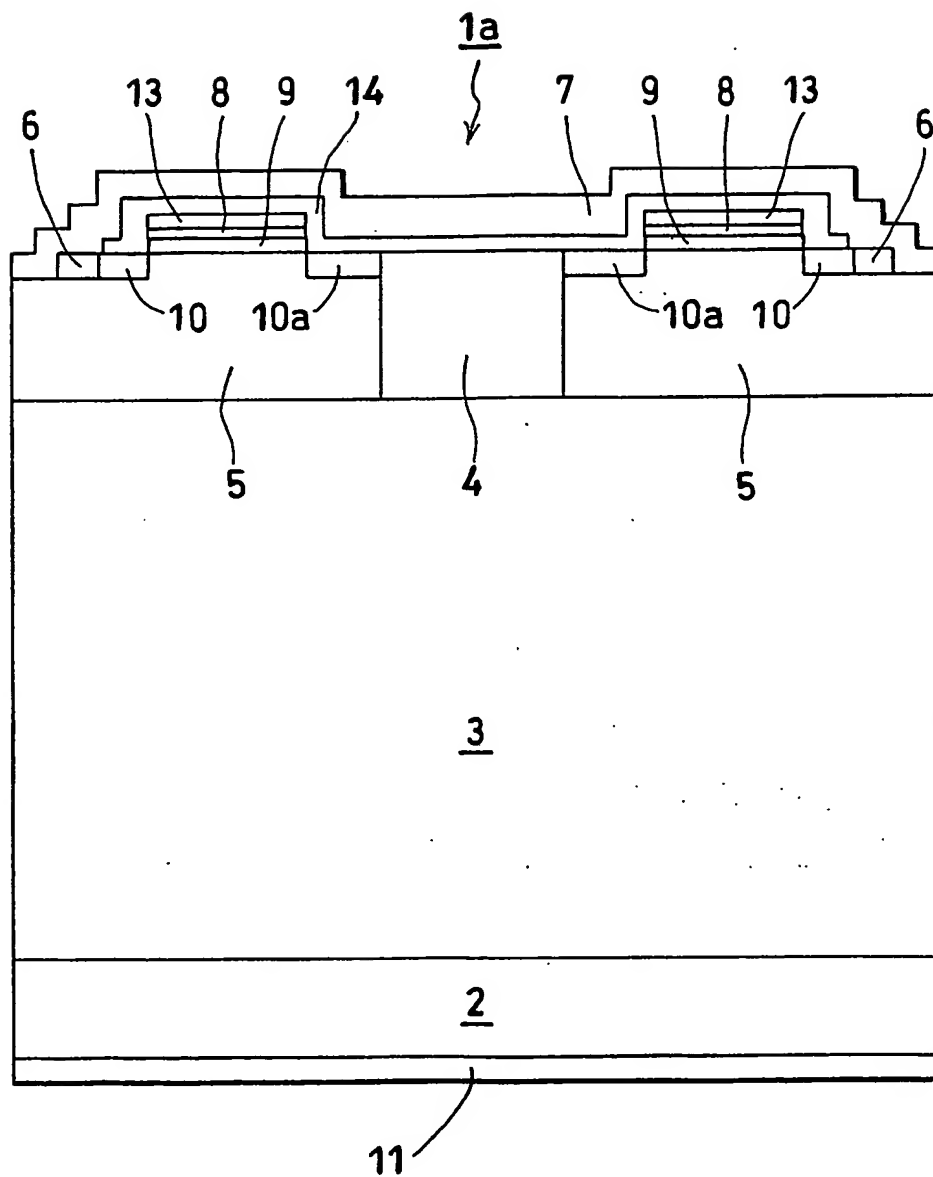
21. 上記低不純物濃度のN型炭化珪素層(3)は、六方晶あるいは菱面体晶の炭化珪素単結晶からなる高不純物濃度のN型基板(2)の(000-1)面の上に形成されていることを特徴とする請求の範囲第9項記載の半導体装置。

第1図



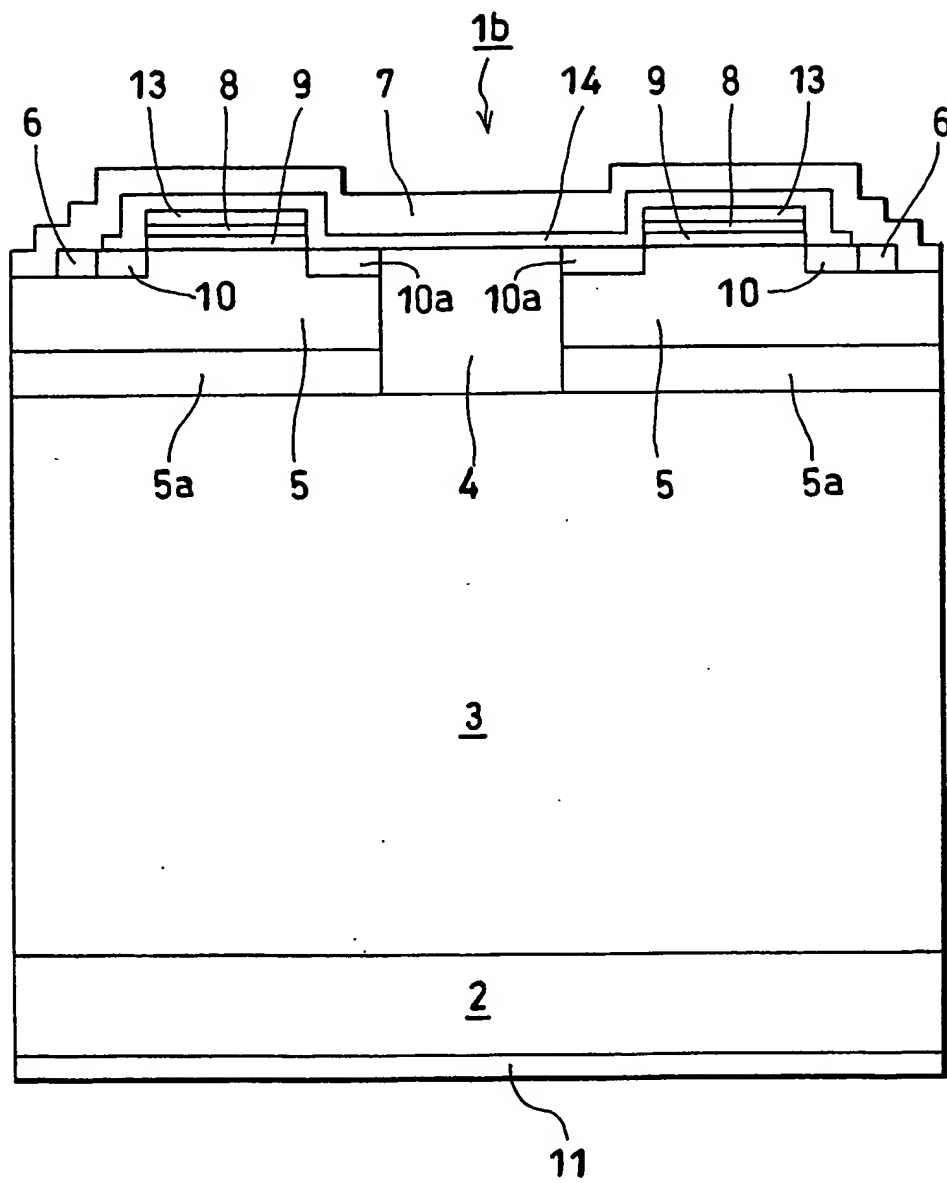
2 / 6

第2図



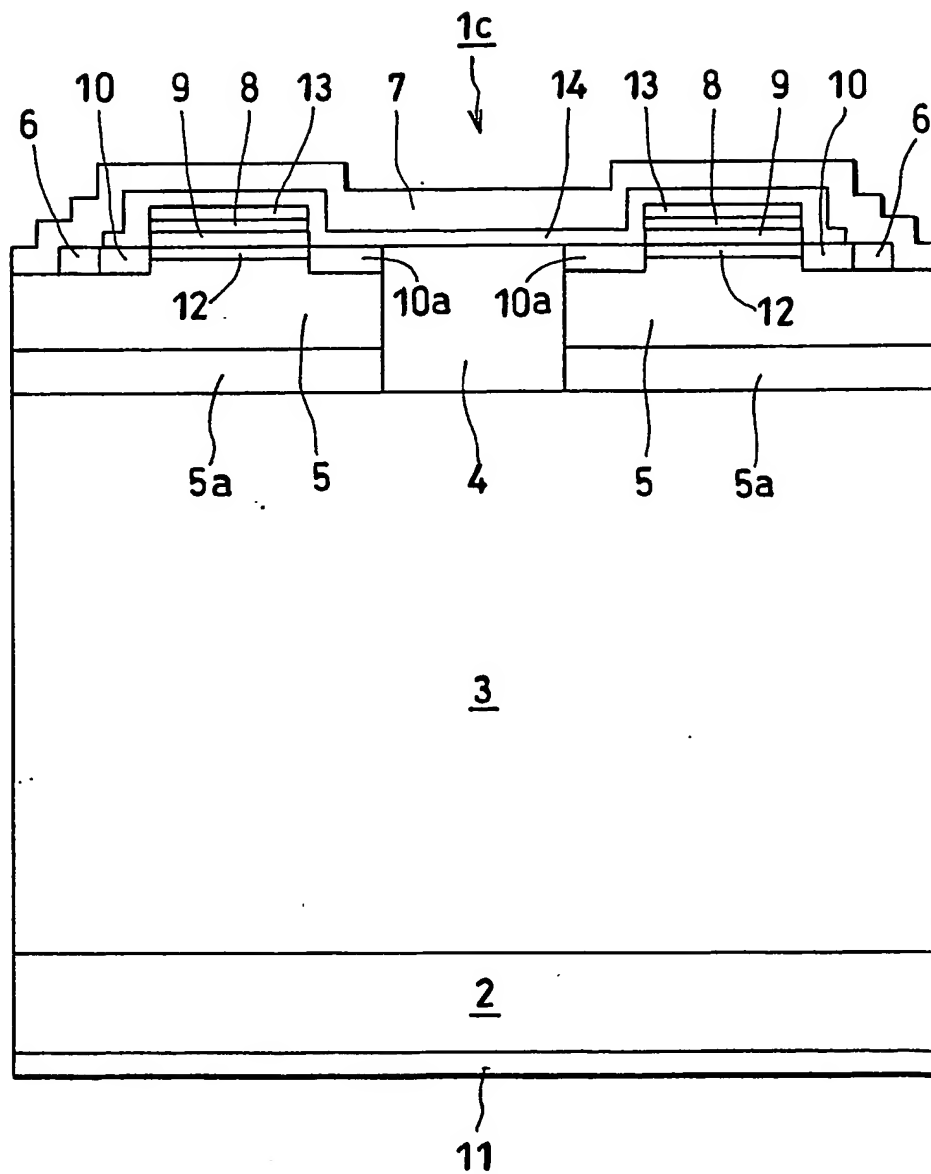
3 / 6

第3図

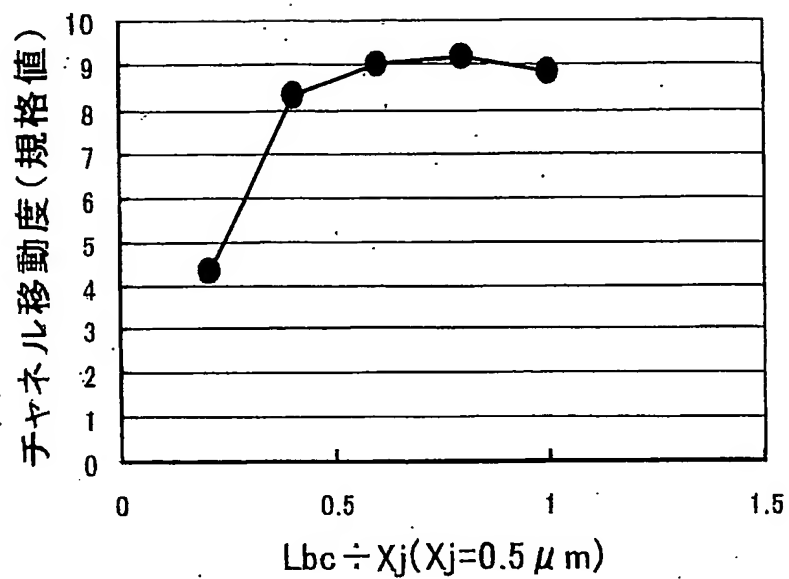


4 / 6

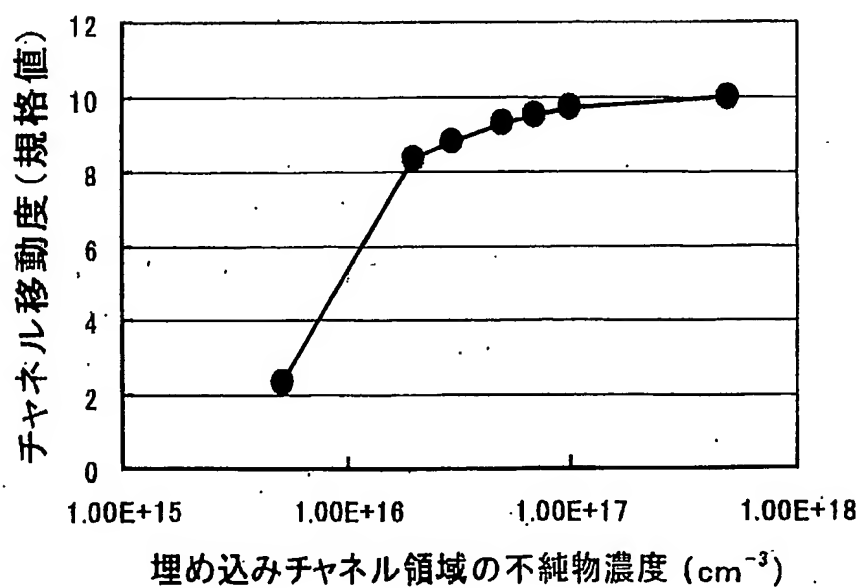
第4図



第5図



第6図



6 / 6

第7図

